

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

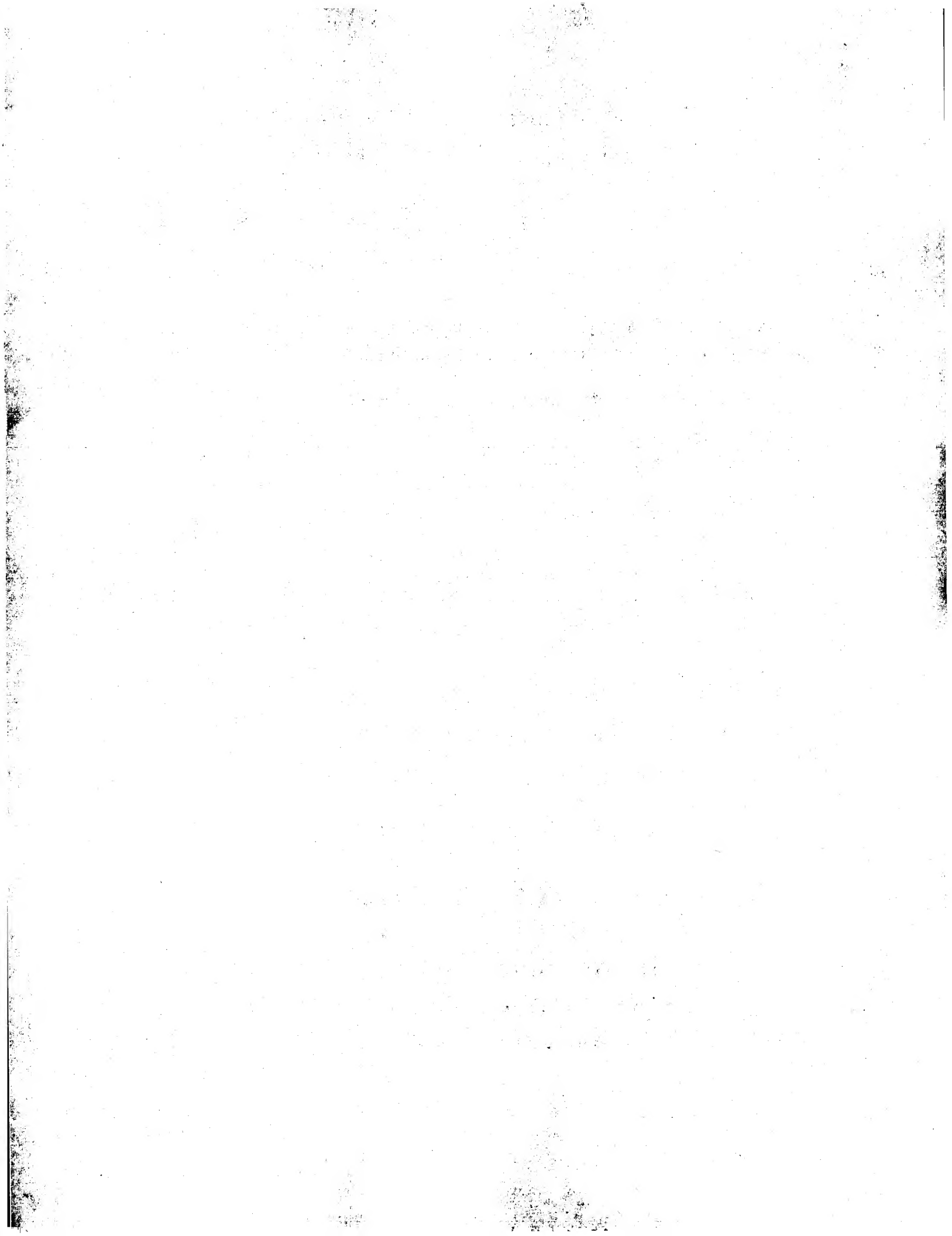
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



09/582351

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

JP 99/5967

PCT/JP 99/05967

28.10.99

REC'D 20 DEC 1999
11-7-80
WIPO PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1998年10月30日

出 願 番 号

Application Number:

平成10年特許願第326184号

出 願 人

Applicant (s):

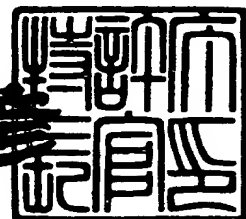
セイコーエプソン株式会社

PRIORITY  
DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

1999年12月 3日

特許庁長官  
Commissioner,  
Patent Office

近 藤 隆 彦



出証番号 出証特平11-3083835

【書類名】 特許願

【整理番号】 EP154801

【提出日】 平成10年10月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/60

【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器

【請求項の数】 12

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 中山 聡行

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100090479

    【弁理士】

    【氏名又は名称】 井上 一

    【電話番号】 03-5397-0891

【代理人】

    【識別番号】 100090387

    【弁理士】

    【氏名又は名称】 布施 行夫

    【電話番号】 03-5397-0891

【代理人】

    【識別番号】 100090398

    【弁理士】

    【氏名又は名称】 大瀨 美千栄

    【電話番号】 03-5397-0891

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器

【特許請求の範囲】

【請求項 1】 複数の電極を有する半導体素子の前記電極が設けられた面と、複数のリードの形成された基板の前記リードが形成された面と、の間に、接着剤を設ける工程と、

前記複数の電極のうちの少なくとも一つと、前記複数のリードのうちの少なくとも一つとを対向させて位置合わせする工程と、

前記半導体素子と前記基板とを間隔が狭くなる方向に加圧する工程と、  
を含み、

前記基板の前記面には、前記半導体素子の前記面と対向する領域であって前記リードを避ける領域に、前記基板よりも前記接着剤との接着性が低い膜が形成されている半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、

前記接着剤は、絶縁性を有する母材に導電粒子が分散されて異方性導電材料を構成する半導体装置の製造方法。

【請求項 3】 請求項 1 又は請求項 2 記載の半導体装置の製造方法において

、  
前記リード及び前記膜を、前記基板に貼り付けられた導電箔をエッチングして形成する半導体装置の製造方法。

【請求項 4】 請求項 1 から請求項 3 のいずれかに記載の半導体装置の製造方法において、

前記電極を、前記半導体素子の前記面の端部に設け、

前記膜を、前記半導体素子の前記面の中央部に対向する領域に形成する半導体装置の製造方法。

【請求項 5】 請求項 1 から請求項 4 のいずれかに記載の半導体装置の製造方法において、

前記膜を面状に形成し、前記基板の表面が露出する少なくとも一つの開口を前

記膜に形成する半導体装置の製造方法。

【請求項 6】 複数の電極を有する半導体素子と、複数のリードが形成された基板と、前記半導体素子の前記電極が設けられた面と前記基板の前記リードが形成された面との間に設けられて前記半導体素子と前記基板とを接着する接着剤と、

を含み、

前記複数の電極のうちの少なくとも一つと、前記複数のリードのうちの少なくとも一つとは電氣的に接続され、

前記基板には、前記半導体素子と対向する領域であって前記リードを避ける領域に、前記基板よりも前記接着剤との接着性が低い膜が形成されている半導体装置。

【請求項 7】 請求項 6 記載の半導体装置において、

前記接着剤は、絶縁性を有する母材に導電粒子が分散されて異方性導電材料を構成する半導体装置。

【請求項 8】 請求項 6 又は請求項 7 記載の半導体装置において、

前記リード及び前記膜は、同一の導電性材料で構成されている半導体装置。

【請求項 9】 請求項 6 から請求項 8 のいずれかに記載の半導体装置において、

前記電極は、前記半導体素子の前記面の端部に設けられ、

前記膜は、前記半導体素子の前記面の中央部に対向する領域に形成されている半導体装置。

【請求項 10】 請求項 6 から請求項 9 のいずれかに記載の半導体装置において、

前記膜は、面状に形成され、前記基板の表面が露出する少なくとも一つの開口を有する半導体装置の製造方法。

【請求項 11】 請求項 6 から請求項 10 のいずれかに記載の半導体装置が実装された回路基板。

【請求項 12】 請求項 6 から請求項 10 のいずれかに記載の半導体装置を有する電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0002】

【発明の背景】

異方性導電膜を使用して基板間の電氣的接続をとる方法が知られている。また、特開平4-317347号公報には、この方法をフリップチップボンディングに適用して、半導体チップと基板とを接合することが記載されている。

【0003】

異方性導電膜の接着剤は、基板との接着性が高いので、基板表面に空孔やボイドが発生することがある。空孔やボイドには水分が溜まりやすいので信頼性に悪影響を及ぼすおそれがあった。

【0004】

本発明は、この問題点を解決するものであり、その目的は、基板の表面に空孔やボイドが発生しにくい半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【0005】

【課題を解決するための手段】

(1) 本発明に係る半導体装置の製造方法は、複数の電極を有する半導体素子の前記電極が設けられた面と、複数のリードの形成された基板の前記リードが形成された面と、の間に、接着剤を設ける工程と、

前記複数の電極のうちの少なくとも一つと、前記複数のリードのうちの少なくとも一つとを対向させて位置合わせする工程と、

前記半導体素子と前記基板とを間隔が狭くなる方向に加圧する工程と、

を含み、

前記基板の前記面には、前記半導体素子の前記面と対向する領域であって前記リードを避ける領域に、前記基板よりも前記接着剤との接着性が低い膜が形成されている。



【0006】

本発明によれば、接着剤によって半導体素子と基板とを接着するので、簡単に両者の接合が可能であり、しかも、電極とリードとの電気的な接続を図ることができる。また、基板には、半導体素子の面と対向する領域に、基板よりも接着剤との接着性が低い膜が形成されている。したがって、この膜の表面には、空孔やボイドができにくくなっており、信頼性の高い半導体装置の製造が可能になる。

【0007】

(2) この半導体装置の製造方法において、

前記接着剤は、絶縁性を有する母材に導電粒子が分散されて異方性導電材料を構成してもよい。

【0008】

これによれば、導電粒子によって電極とリードとの電気的接続が可能であり、半導体素子と基板との接着とともに、電気的な接続を行うことができる。

【0009】

(3) この半導体装置の製造方法において、

前記リード及び前記膜を、前記基板に貼り付けられた導電箔をエッチングして形成してもよい。

【0010】

こうすることで、少ない工程でリード及び膜を簡単に形成することができる。

【0011】

(4) この半導体装置の製造方法において、

前記電極を、前記半導体素子の前記面の端部に設け、

前記膜を、前記半導体素子の前記面の中央部に対向する領域に形成してもよい。

【0012】

これによれば、空孔やボイドができやすい中央部に、接着剤との接着性の低い膜が形成されるので、大きな効果を得られる。

【0013】

(5) この半導体装置の製造方法において、

前記膜を面状に形成し、前記基板の表面が露出する少なくとも一つの開口を前記膜に形成してもよい。

【0014】

こうすることで、開口部では基板の表面が露出するので、この部分では接着剤による接着性が高まり、半導体素子と基板との接着力が高まる。

【0015】

(6) 本発明に係る半導体装置は、複数の電極を有する半導体素子と、複数のリードが形成された基板と、前記半導体素子の前記電極が設けられた面と前記基板の前記リードが形成された面との間に設けられて前記半導体素子と前記基板とを接着する接着剤と、

を含み、

前記複数の電極のうちの少なくとも一つと、前記複数のリードのうちの少なくとも一つとは電氣的に接続され、

前記基板には、前記半導体素子と対向する領域であって前記リードを避ける領域に、前記基板よりも前記接着剤との接着性が低い膜が形成されている。

【0016】

本発明によれば、接着剤によって半導体素子と基板とが接着されており、電極とリードとの電氣的な接続が図られている。基板には、半導体素子の面と対向する領域に、基板よりも接着剤との接着性が低い膜が形成されている。したがって、この膜の表面には、空孔やボイドができにくくなっており、信頼性が高くなっている。

【0017】

(7) この半導体装置において、

前記接着剤は、絶縁性を有する母材に導電粒子が分散されて異方性導電材料を構成してもよい。

【0018】

これによれば、導電粒子によって電極とリードとが電氣的に接続されており、半導体素子と基板との接着とともに、電氣的な接続が図られている。

【0019】

(8) この半導体装置において、

前記リード及び前記膜は、同一の導電性材料で構成されていてもよい。

【0020】

こうすることで、少ない工程でリード及び膜を簡単に形成することができる。

【0021】

(9) この半導体装置において、

前記電極は、前記半導体素子の前記面の端部に設けられ、

前記膜は、前記半導体素子の前記面の中央部に対向する領域に形成されていてもよい。

【0022】

このように、空孔やボイドができやすい中央部に、接着剤との接着性の低い膜が形成されるので、大きな効果を得ることができる。

【0023】

(10) この半導体装置において、

前記膜は、面状に形成され、前記基板の表面が露出する少なくとも一つの開口を有してもよい。

【0024】

こうすることで、開口部では基板の表面が露出するので、この部分では接着剤による接着性が高まり、半導体素子と基板との接着力が高まる。

【0025】

(11) 本発明に係る回路基板には、上記半導体装置が実装される。

【0026】

(12) 本発明に係る電子機器は、上記半導体装置を有する。

【0027】

【発明の実施の形態】

以下、本発明の実施の形態を、図面を参照して説明する。

【0028】

(第1の実施の形態)

図1は、本発明を適用した第1の実施の形態に係る半導体装置を説明する図で

あり、図2は、図1に示す半導体装置で使用される基板を示す図である。本実施の形態に係る半導体装置は、基板10、半導体素子20及び接着剤30を含む。

#### 【0029】

図1及び図2には、基板10の一部を切り欠いて示してあり、その全体形状は特に限定されず、矩形、多角形、あるいは複数の矩形を組み合わせた形状のいずれであってもよい。基板10の厚みは、その材質により決まることが多いが、これも限定されない。基板10は、有機系又は無機系のいずれの材料から形成されたものであってもよく、これらの複合構造からなるものであってもよい。有機系の材料から形成された基板10として、例えばポリイミド樹脂からなるフレキシブル基板が挙げられる。無機系の材料から形成された基板10として、例えばセラミック基板やガラス基板が挙げられる。有機系及び無機系の材料の複合構造として、例えばガラスエポキシ基板が挙げられる。

#### 【0030】

基板10には、複数のリード12を含む配線パターンが形成されている。リード12の一部（例えば端部）には、必要があれば、半導体素子20の電極22とのボンディングのために、リード12の幅よりも大きいランド部を形成してもよい。隣同士のリード12の間隔は、 $30\mu\text{m}$ 以上であることが好ましい。なお、図2には、リード12のみが示されているが、このリード12をさらに延長して、電子部品に接続してもよい。

#### 【0031】

リード12は、基板10の一方の面において、一部（例えば中央部）を避けて形成されている。この場合、リード12を基板10の端部に形成し、中央部にはリード12を形成しない構成にしてもよい。複数のリード12のうちの一群のリード12は、一つの方向を向いて並列してもよい。また、複数の方向のそれぞれの方向を向くように複数のリード12を並列させてもよい。この場合、複数のリード12は、複数の方向を向く複数群のリード12に分けられる。なお、リード12は、基板10の一方の面に加えて、他方の面にも形成することができる。

#### 【0032】

リード12は、導電性材料で構成されている。導電性材料として金属が挙げら

れる。例えば、銅の表面に金又は錫のメッキを施してリード 12 を形成することができる。あるいは、金でリード 12 を形成してもよい。

【0033】

本発明では、リード 12 が基板 10 に対して接着剤を介して貼り付けられた 3 層基板を使用してもよい。あるいは、リード 12 は、スパッタリング等により基板に銅などの導電性の膜を被着し、これをエッチングして形成することができる。この場合には、基板 10 にリード 12 が直接形成され、接着剤が介在しない 2 層基板となる。もしくは、メッキでリード 12 を形成するアディティブ法を適用してもよい。あるいは、絶縁樹脂とリード 12 を含む配線パターンを積層して構成されるビルドアップ多層構造の基板や、複数の基板が積層された多層基板を使用してもよい。

【0034】

基板 10 には、膜 14 が形成されている。膜 14 は、基板 10 の表面よりも接着剤 30 との接着性が低いことが好ましい。膜 14 は、少なくとも一つの又は全部のリード 12 を避けて形成されている。膜 14 は、少なくとも一つの又は全部のリード 12 と接触しないように形成されている。複数のリード 12 のうちの全部ではなくて少なくとも一つが、膜 14 に接触していてもよい。例えば、接地電位（GND 電位）に接続されるリード 14 を膜 14 に接触させて電氣的に導通させ、膜 14 全体を接地電位（GND 電位）としてもよい。この場合、リード 14 よりも大きい膜 14 が接地電位（GND 電位）となるので、その電位の急激な変化を吸収することができる。

【0035】

リード 12 が基板 10 の面の一部（例えば中央部）を避けて形成されている場合には、このリード 12 が避けた部分（例えば中央部）に、膜 14 を形成することができる。膜 14 の形状は、矩形、多角形又は複数の矩形を組み合わせた形状のいずれであってもよい。

【0036】

膜 14 は、半導体素子 20 における電極 22 が形成された面と対向する領域に形成される。詳しくは、膜 14 の全部、一部又は少なくとも一部と、半導体素子

における電極 22 が形成された面で電極 22 を除く領域と、が平面視において重なっている。

【0037】

膜 14 は、導電性材料で構成することができる。導電性材料として金属が挙げられる。例えば、銅の表面に金又は錫のメッキを施して膜 14 を形成することができる。あるいは、金で膜 14 を形成してもよい。金属は、基板 10 の表面よりも、接着剤 30 との接着性が低いことが多い。

【0038】

上記基板 10 に、半導体素子 20 が実装されている。半導体素子 20 は、半導体チップであることが多い。半導体素子 20 には、複数の電極 22 が形成されている。この電極 22 は、バンプであることが好ましい。半導体素子 20 は、電極 22 が形成された面を、基板 10 におけるリード 12 及び膜 14 が形成された面に向けて位置している。また、少なくとも一つの電極 22 は、いずれかのリード 12 の一部上に位置する。リード 12 にランド部が形成されている場合には、電極 22 は、ランド部上に位置する。半導体素子 20 における電極 22 が形成された面で電極 22 を除く領域は、膜 14 の全部、一部又は少なくとも一部に対向する。電極 22 のうち、全部ではなくて少なくとも一つが膜 14 上に位置してもよい。

【0039】

基板 10 と半導体素子 20 とは、接着剤 30 によって接着されている。接着剤 30 は、導電粒子が分散された異方性導電材料であってもよい。その場合には、基板 10 に形成されたリード 12 と、半導体素子 20 に形成された電極 22 との間に、導電粒子が介在して両者間の電氣的な接続が図られる。あるいは、リード 12 と電極 22 とが直接的に接合されて、接着剤 30 にて基板 10 と半導体素子 20 とが接着されていてもよい。半導体素子 20 における電極 22 が形成された面は、膜 14 に対向している。

【0040】

接着剤 30 は、基板 10 に対する接着力よりも、膜 14 に対する接着力が低い。したがって、接着剤 30 は、基板 10 におけるリード 12 及び膜 14 の形成さ

れない領域に対して高い接着力で接着しているのを、基板10と半導体素子20とを強固に接着する。また、接着剤30は、リード12及び膜14上に対して低い接着力で接着しているのを、流動性が高まるなどの理由で、リード12及び膜14の表面にボイドや空孔が形成されにくくなる。したがって、ボイドや空孔に水分が溜まることを防止でき、信頼性を高めることができる。

#### 【0041】

本実施の形態は、上記のように構成されており、以下その製造方法を説明する。まず、基板10にリード12及び膜14を形成する。リード12及び膜14は、別々の工程で形成することもできるが、同一の工程で形成することが好ましい。例えば、基板10に金属箔などの導電箔を形成し、これをエッチングしてリード12及び膜14を形成することができる。

#### 【0042】

そして、複数の電極22を有する半導体素子20における電極22が設けられた面と、リード12及び膜14が形成された基板10におけるリード12及び膜14が形成された面と、の少なくともいずれか一方に接着剤30を設ける。接着剤30は、予め粘着テープとして構成してもよい。また、接着剤30として異方性導電材料又は異方性導電膜を使用することもできる。

#### 【0043】

次に、複数の電極22を有する半導体素子20における電極22が設けられた面と、リード12及び膜14が形成された基板10におけるリード12及び膜14が形成された面と、を対向させる。そして、複数の電極22のうちの少なくとも一つ又は全部と、複数のリード12のうちの少なくとも一つ又は全部と、を位置合わせする。さらに、半導体素子20と基板10とを間隔が狭くなる方向に加圧する。接着剤30として異方性導電材料又は異方性導電膜が使用される場合には、電極22とリード12との間で導電粒子がつぶされて両者間が電氣的に導通するまで加圧する。

#### 【0044】

以上の工程によって、半導体装置を製造することができる。本実施の形態によれば、接着剤30によって半導体素子20と基板10とを接着するので、簡単に

両者の接合が可能であり、しかも、電極 22 とリード 12 との電氣的な接続を図ることができる。また、基板 10 には、半導体素子 20 の面と対向する領域に、基板 10 よりも接着剤 30 との接着性が低い膜 14 が形成されている。したがって、この膜 14 の表面には、空孔やボイドができにくくなっているおり、信頼性の高い半導体装置の製造が可能になる。

## 【0045】

## (第 2 の実施の形態)

図 3 は、本発明を適用した第 2 の実施の形態に係る半導体装置を説明する図であり、図 4 は、図 3 に示す半導体装置で使用される基板を示す図である。本実施の形態に係る半導体装置は、基板 40 と、第 1 の実施の形態で説明した半導体素子 20 及び接着剤 30 とを含む。基板 40 は、第 1 の実施の形態で説明した基板 10 の膜 14 の形状を変形させたもので、それ以外の構成は基板 10 と同じ構成を採用できるので説明を省略する。

## 【0046】

基板 40 の膜 44 は、少なくとも一つの開口 46 が形成されている点で、膜 14 と異なる。開口 46 は、基板 40 の表面を露出させるもので、その形状は円形、矩形、多角形などいずれの形状であってもよい。開口 46 を形成することで、膜 40 の少なくとも一部において、基板 40 の表面が露出し、接着剤 30 が開口 46 に入り込む。こうすることで、接着剤 30 が基板 40 に接着する領域が多くなり、半導体素子 20 と基板 40 との接着力が高まる。特に、一つの大きな開口 46 を形成するよりも、膜 44 の複数箇所に複数の比較的小さな開口 46 を形成することが好ましい。こうすることで、膜 44 上での空孔やボイドの発生を防止しつつ、接着力の低下を防ぐことができる。膜 44 に開口 46 を形成するときには、膜 44 を薄く形成すれば、開口 46 に接着剤 30 が入り込みやすく、空気が逃げやすいので好ましい。

## 【0047】

本実施の形態に係る半導体装置の製造方法には、第 1 の実施の形態で説明した方法を適用することができる。金属箔や導電箔をエッチングしてリード 12 及び膜 44 を形成するのであれば、開口 46 も同時に形成することができる。



## 【0048】

## (第3の実施の形態)

図5は、本発明を適用した第3の実施の形態に係る半導体装置を説明する図である。本実施の形態に係る半導体装置は、基板50と、第1の実施の形態で説明した半導体素子20及び接着剤30とを含む。基板50は、第1の実施の形態で説明した基板10に、スルーホール52を形成し、リード12とは反対側の面にリード54を形成したもので、それ以外の構成は基板10と同じ構成を採用できるので説明を省略する。

## 【0049】

スルーホール52は、基板50の一方の面に形成された複数のリード12のうちのいずれかと、基板50の他方の面に形成された複数のリード54のうちのいずれかと、の間に形成されている。スルーホール52には、金などのメッキやハンダなどの導電部材が設けられており、基板50の両面のリード12、54を電氣的に接続している。基板50の他方の面に形成されたリード54には、ハンダボールなどの外部電極56が設けられている。これら以外の構成及び製造方法は、第1の実施の形態の構成及び製造方法を適用することができる。

## 【0050】

図6には、本実施の形態に係る半導体装置1100を実装した回路基板1000が示されている。回路基板には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板には例えば銅からなる配線パターンが所望の回路となるように形成されていて、それらの配線パターンと半導体装置の外部電極とを機械的に接続することでそれらの電氣的導通を図る。

## 【0051】

そして、本発明を適用した電子機器として、図7には、半導体素子20が実装された基板10に、液晶パネル60を取り付けた例が示されている。半導体素子20は、液晶パネル60のドライバとなる。

## 【0052】

なお、上記本発明の構成要件「半導体素子」を「電子素子」に置き換えて、半導体素子と同様に電子素子（能動素子か受動素子かを問わない）を、基板に実装

して電子部品を製造することもできる。このような電子素子を使用して製造される電子部品として、例えば、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ポリウム又はヒューズなどがある。

【0053】

【図面の簡単な説明】

【図1】

図1は、本発明の第1の実施の形態に係る半導体装置を示す図である。

【図2】

図2は、本発明の第1の実施の形態に係る半導体装置の基板を示す図である。

【図3】

図3は、本発明の第2の実施の形態に係る半導体装置を示す図である。

【図4】

図4は、本発明の第2の実施の形態に係る半導体装置の基板を示す図である。

【図5】

図5は、本発明の第3の実施の形態に係る半導体装置を示す図である。

【図6】

図6は、本発明に係る半導体装置が実装された回路基板を示す図である。

【図7】

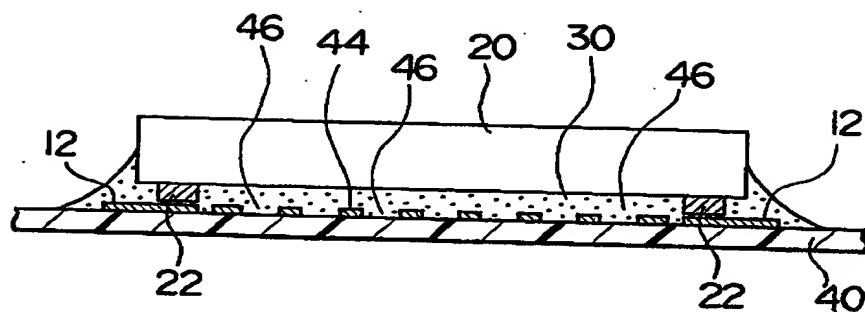
図7は、本発明に係る方法を適用して製造された半導体装置を備える電子機器を示す図である。

【符号の説明】

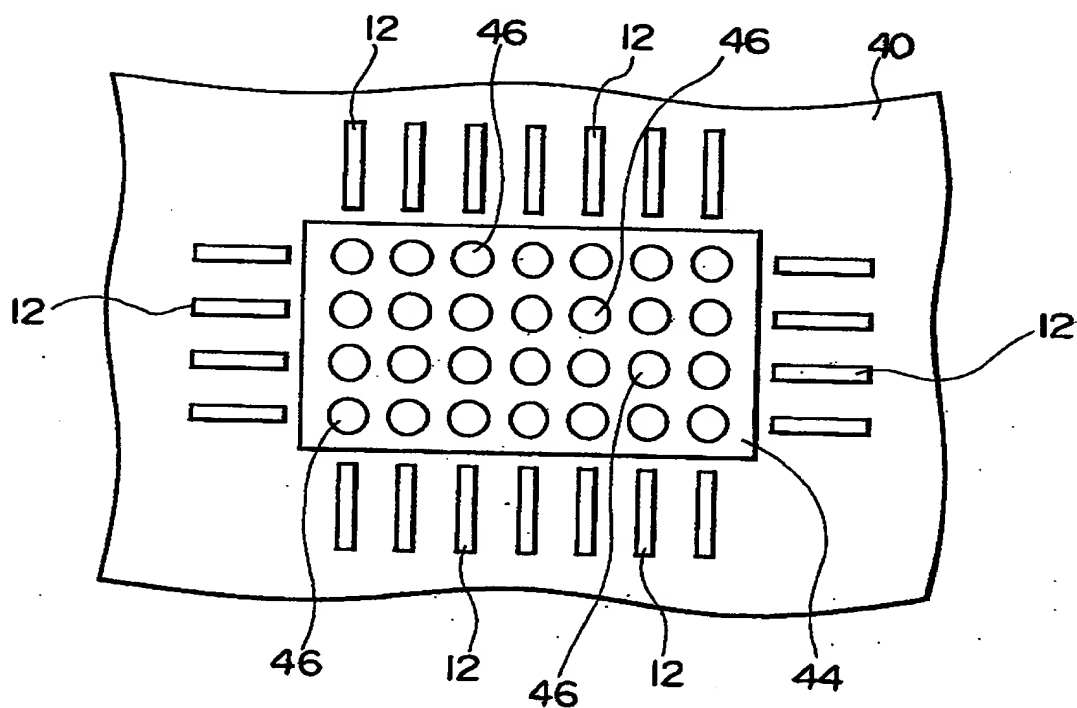
- 10 基板
- 12 リード
- 14 膜
- 20 半導体素子
- 22 電極
- 30 接着剤



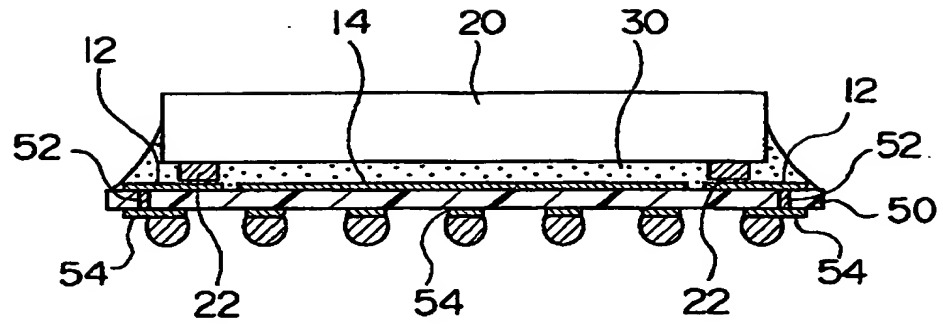
【図 3】



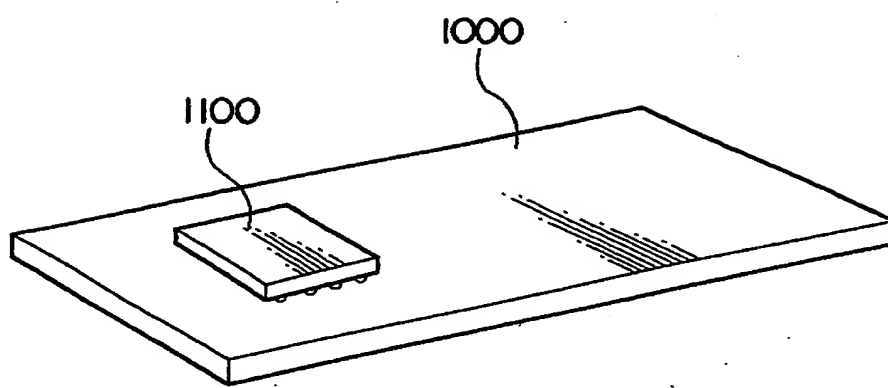
【図 4】



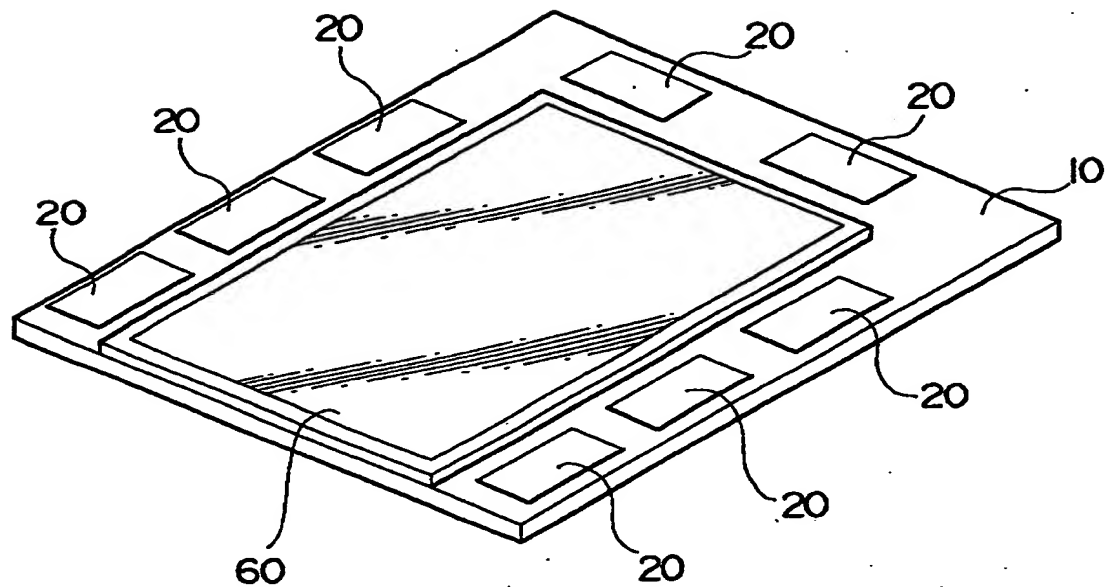
【図5】



【図6】



【図7】



【書類名】 要約書

【要約】

【課題】 基板の表面に空孔やボイドが発生しにくい半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【解決手段】 複数の電極 22 を有する半導体素子 20 の電極 22 が設けられた面と、複数のリード 12 の形成された基板 10 のリード 12 が形成された面と、の間に、接着剤 30 を設ける工程と、複数の電極 22 のうちの少なくとも一つと、複数のリード 12 のうちの少なくとも一つとを対向させて位置合わせする工程と、半導体素子 20 と基板 10 とを間隔が狭くなる方向に加圧する工程と、を含み、基板 10 の面には、半導体素子 20 の面と対向する領域であってリード 12 を避ける領域に、基板 10 よりも接着剤 30 との接着性が低い膜が形成されている。

【選択図】 図 1



【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000002369

【住所又は居所】 東京都新宿区西新宿2丁目4番1号

【氏名又は名称】 セイコーエプソン株式会社

【代理人】 申請人

【識別番号】 100090479

【住所又は居所】 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 井上・布施合同特許事務所

【氏名又は名称】 井上 一

【代理人】 申請人

【識別番号】 100090387

【住所又は居所】 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 井上・布施合同特許事務所

【氏名又は名称】 布施 行夫

【代理人】 申請人

【識別番号】 100090398

【住所又は居所】 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 井上・布施合同特許事務所

【氏名又は名称】 大瀨 美千栄

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社